

완전표준성을 만족하는 선행검증 시험열 생성방법에 관한 연구

정희원 박진호*, 양대헌*, 송주석*, 임상용*

The Preverified Test Sequence Generation Method Satisfying The Completeness Criteria

Jin Ho Park*, Dae Hun Nyang*, Joo Seok Song*, Sang Yong Lim* *Regular Members*

요 약

오늘날 네트워크의 기능이 다양해짐에 따라 각종 프로토콜 표준은 매우 복잡해졌으며 그 구현물들 또한 다수 출현하게 되었다. 따라서 구현물에 대한 적합성시험의 필요성이 높아졌다. 현재 T, U, D, W 방법 등을 기초로 하여 시험열 생성과 오류장애에 대한 연구가 활발히 진행되고 있다. 그러나 최근 완전표준성 오류문제가 새롭게 제시되면서 기존의 시험열은 새로운 문제점에 직면하고 있다[4]. 본 논문에서는 완전표준성 오류문제를 회피할 수 있는 선행검증 시험열을 제안한다. 선행검증 시험열은 선행검증에지를 이용함으로써 적합성시험의 신뢰도를 확보하고 시험열의 신뢰도를 통해서 완전표준성 오류문제를 회피할 수 있는 면역성을 부여하며 시험결과를 분석할 수 있는 단서를 제공함으로써 보다 신뢰성 있는 재시험이 가능해진다. 또한 선행검증 시험열은 오류장애에 대한 오류저항성을 가지도록 쉽게 변형될 수 있다.

ABSTRACT

As network provides diverse functionalities recently, many protocol standards have become complex and many implementations have appeared. Such trends require us to test the conformance of implementations, called the conformance testing. Many researches have been performed on generating test sequence and on fault masking based on T, U, D, W methods. At this point, the new problem is suggested which is called the completeness criteria. The test sequences for the conformance testing have come up with this problem as well as fault masking. In this paper, we suggest the method of generating the preverified test sequence which can avoid the completeness criteria problem. The preverified test sequence is much more reliable than others by using the preverified edge. For the reliability of conformance testing, we define the immunity of the test sequence and provide the clue for the analysis of the test results using the immunity. The analysis of the results makes it possible for us to test the implementation again with more reliability. Also, the preverified test sequence is flexible so that it is combined with the fault tolerant sequence for fault masking.

I. 서 론

*연세대학교 컴퓨터학과
論文番號: 97371-1015
接受日字: 1997年 10月 15日

최근 네트워크가 제공하는 기능이 다양해짐에 따라 프로토콜 표준은 매우 복잡해졌으며 각 표준에

대한 구현물들 또한 다수 나타나게 되었다. 따라서 각 구현물이 프로토콜 표준을 올바르게 구현하였는가를 검사하는 적합성 시험의 필요성이 높아졌다. 현재 시험열생성에 관한 연구는 주로 부분시험열을 생성하는 분야에서 다양하게 이루어지고 있다[1-2][5][9]. 시험열생성의 기본적인 방법은 프로토콜 표준을 FSM(deterministic finite state machine)모델로 추상화시키고 각 에지에 대하여 부분시험열을 생성하여 반복되는 부분들을 중첩시키는 최적화과정을 통해 전체 시험열로 만드는 것이다[1-3]. 부분시험열을 생성하는 일반적인 방법들은 T, U, D, W 방법등이 있으며 시험대상 에지의 입,출력을 시험하게 된다. 그러나, 이들 방법은 다른 에지의 오류가 시험대상 에지의 도착점 오류를 숨기는 오류장애(fault masking)로 인해서 제거능을 발휘하지 못하기도 한다. 이런 오류장애에 대하여 특성화시험열이 오류저항성(fault tolerance)을 갖도록 하는 여러 방법들이 제시되어 왔다[5-9]. 그러나, 최근 오류장애와는 별도로 완전표준성 오류문제라는 새로운 문제점이 제시되었다[4].

본 논문에서는 특성화시험열로 UIO(unique I/O sequence)를 사용하는 U방법을 통해 완전 표준성 오류문제에 대해 면역성을 가지는 선행검증 시험열의 생성방법을 제안한다.

II. FSM 모델링

프로토콜 표준은 $\mathcal{Q} = \{s_1, \dots, s_n | s_i \text{는 각 상태}\}$, $\mathcal{I} = \{i_1, \dots, i_m | i_k \text{는 각 입력값}\}$, $\mathcal{O} = \{o_1, \dots, o_n | o_k \text{는 각 출력값}\}$ 의 세 개의 집합과 $\omega: \mathcal{Q} \times \mathcal{I} \rightarrow \mathcal{Q}$ 와 $\theta: \mathcal{Q} \times \mathcal{I} \rightarrow \mathcal{O}$ 라는 두 함수에 의해서 FSM으로 추상화될 수 있다. ω 는 현재상태와 입력값에 따라 다음상태를, θ 는 출력값을 사상한다. 이러한 FSM은 방향그래프 $G(V, E)$ 로 표현될 수 있다. $V = \{v_1, \dots, v_n | v_i \in \mathcal{Q}\}$ 는 집합 $\mathcal{Q}$ 의 각 원소를 하나의 정점으로 가지는 유한집합이며, $E = \{(v_i, \dots, v_j; L) | v_i, v_j \in V \text{ and } L = a/o\}$ 는 함수 ω, θ 에 의한 사상을 방향에지로 가지는 유한집합이다. 특히, L 은 방향에지를 전이하기 위한 입력값 a 와 출력값 o 를

나타내는 레이블이다.

정의 1 (출발점, 도착점) 1) 방향에지 ϵ 에서 전이를 시작하는 정점 v_i 를 출발점 HEAD(ϵ)라고 하며, 전이가 끝나는 정점 v_j 를 도착점 TAIL(ϵ)이라고 한다.

정의 2 (부분시험열) 방향에지 ϵ 를 시험하기 위한 기본 시험열을 부분 시험열이라고 하며, $SP(v_i)@a/o@CS(v_j)$ 로 구성된다.

정의 3 (정상, 비정상) 기대출력값들과 실제 출력값들이 모두 일치하면 방향에지 ϵ 를 정상이라고 판단하며 그렇지 않은 경우에는 비정상이라고 판단한다.

FSM은 초기상태를 가지며 현재상태에 관계없이 FSM을 초기상태로 전이시키는 입력값을 리셋입력 v 이라고 한다. 리셋입력 v 의 출력값은 항상 널(null)이다. $SP(v_i)$ 는 초기상태에서 방향에지 ϵ 의 HEAD(ϵ)로 전이하는 가장 짧은 입력열이며, a_k 는 방향에지 ϵ 의 전이를 위한 입력값이고 o_k 는 구현물로부터 기대되는 기대출력값이다. 또한 $CS(v_j)$ 는 TAIL(ϵ)를 확인하기 위한 특성화시험열이다. 기호 @는 각 입력값들을 하나로 이어주는 연산자이다.

III. 완전표준성 오류문제

완전표준성 오류문제는 최근에 발견된 문제로서 이를 다루는 연구는 아직 미비하다[4].

정의 4 (완전표준성 오류문제) 시험대상 에지의 전이가 올바른 입,출력을 보이며 동시에 올바른 도착점을 가지고 있어도 도착점을 확인하는 특성화시험열이 다른 에지들의 오류로 인하여 그 도착점을 틀리다고 판단함으로써 올바른 전이를 비정상이라고 판단하는 오류이다.

완전표준성 오류문제에 대해 저항력을 가지는 시험열을 면역성이 있다고 하며, 완벽한 면역성을 가질 때 완전표준성을 만족한다고 한다. [그림1]은 완전표준성 오류문제가 발생하는 예를 보여주고 있다. [그림1](a)는 다른 에지에 출력값오류가 존재하는 경우로서 에지 $(s_1, s_2; a/1)$ 에서 구현물은 출력값오류를 가

1) 그래프이론의 정의와 반대로 정의됨[1].

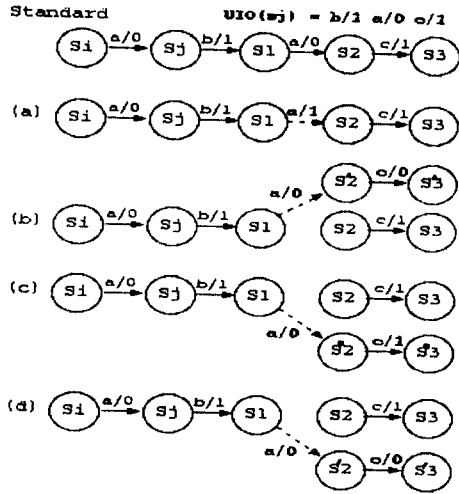


그림 1 완전표준성 오류가 발생하는 예

지기 때문에 도착점 s_j 의 $UIO(s_j)$ 가 도착점 시험능력을 손상받는 경우이다. 또한 [그림1](b)는 다른 에지에 도착점오류가 존재하는 경우로서 에지 $(s_1, s_2; a/0)$ 가 구현물에서 에지 $(s_1, s_2'; a/0)$ 로 잘못 구현되어 $UIO(s_j)$ 가 에지 $(s_2', s_3'; c/0)$ 로 진행하여 도착점 시험능력이 손상받는 경우이다. [그림1](c)는 에지 $(s_1, s_2; a/0)$ 에서 [그림1](b)와 같이 도착점오류를 범하고 있으나 $UIO(s_j)$ 는 에지 $(s_2'', s_3'; c/1)$ 로 인해서 도착점 시험능력을 유지하는 경우이다. [그림1](d)는 다른 에지가 출력값오류와 도착점오류를 동시에 가지는 경우로서 에지 $(s_1, s_2; a/0)$ 가 구현물에서 에지 $(s_1, s_2'; a/1)$ 로 구현되어 $UIO(s_j)$ 가 도착점 시험능력을 손상받는 경우이다. 이를 통해 특성화시험열은 오류장애로 인한 시험능력 손상과 더불어 완전표준성 오류문제로 인한 시험능력 손상이 존재함이 드러난다.

IV. 선행검증 시험열

특성화시험열의 도착점 확인은 실제출력값과 기대출력값의 단순비교를 통해 이루어지기 때문에 다른 에지의 출력값오류나 도착점오류의 영향이 실제 출력값에 준 영향을 감지, 제거, 혹은 회피하지 못하게 되며 결국 도착점 확인 자체가 신뢰성을 가지지

못한다. 이는 완전표준성 오류문제와 오류장애의 근본적인 원인이다. 이러한 한계는 적합성시험의 제어 곤란(the limited controllability)과 관측곤란(the limited observability)이라는 두 가지 요소에 기인한다[3]. 그러므로 오류장애에 대한 오류저항성 및 완전표준성 오류문제에 대한 면역성을 가지는 특성화시험열을 생성하는 방법이 필요하다.

정의 5 (검증에지, 미검증에지) 정상 판정된 에지를 검증에지라 하고, 아직 정상유무를 모르는 에지를 미검증에지라 한다.

정의 6 (선행검증 UIO) UIO에 1개 이상의 검증에지가 있을 때 선행검증 UIO라 한다.

정의 7 (선행검증 시험열) 선행검증 UIO로 구성된 부분시험열에 의해서 생성된 전체시험열을 선행검증 시험열이라 한다.

정의 8 (UIO의 신뢰도) UIO의 신뢰도는 다음과 같이 정의된다.

$$\text{신뢰도} = \frac{\text{UIO에 속한 검증에지의 수}}{\text{UIO에 속한 총에지수}} \quad (1)$$

정의 9 (시험열의 면역성) 시험열의 면역성은 m 개

$$\text{면역성} = \sum_{i=1}^m \text{TAIL}(\epsilon_i) \text{의 UIO의 신뢰도} \quad (2)$$

의 시험대상 에지의 각 도착점에서 선택된 UIO에 대하여 다음과 같이 정의되며 최대값은 시험대상 에지들의 갯수 m 이다.

정의 10 (기대검증에지, 기대신뢰도, 기대면역성) 검증에지가 될 것이라 기대한 앞서 시험된 에지를 기대검증에지라 하고, 기대검증에지를 사용하여 얻은 신뢰도를 기대신뢰도라 한다. 또한 각 부분시험열의 기대신뢰도의 총합은 시험열의 기대면역성이 된다.

선행검증 시험열은 도착점확인을 위한 UIO가 검증에지들로 구성된다면 단순한 입,출력 비교에 신뢰성을 부여할 수 있으므로 다른 에지의 출력값오류나 도착점오류의 영향을 회피할 수 있다는 점에 기초한다. 선행검증 UIO는 기대검증에지를 많이 사용할수록 기대신뢰도는 증가하지만 정상판정되어야 하는 기대검증에지의 수가 증가하기 때문에 하나의 기대

검증에지를 최대한 중복해서 사용할 필요가 있다. 이는 에지의 시험순서를 적절하게 결정함으로써 이루어진다. 에지의 시험순서는 검증에지의 분포를 변화시켜 UIO의 신뢰도를 변화시키는 중요한 변수가 되므로 선행검증 시험열의 기대면역성을 최대한 높이며 동시에 정상판정되어야 하는 기대검증에지의 수를 최소화시킬 수 있는 에지의 시험순서를 효과적으로 스케줄링하는 것이 중요하다.

V. 선행검증 시험열 생성

최대 기대면역성을 가지는 선행검증 시험열을 결정하는 문제는 비선형 조합형 최적화 문제(NP-Complete)이다. 그러나 본 논문에서는 다음과 같은 접근방법을 제안한다. 우선, 이상적으로 각 에지의 도착점이 모두 기대검증에지로 구성된 UIO를 가진다면 이때의 시험열은 최대 기대면역성을 가지며 완전표준성을 만족한다. 따라서 도착점확인의 신뢰도를 높이기 위해서 각 UIO가 하나의 기대검증에지를 최대한 중복사용함으로써 기대검증에지의 수를 최소화시켜야 한다.

정의 11 (UIO 코아집합, 에지 코아집합) 각 도착점마다 한 UIO를 선택했을 때, 선택된 UIO들의 집합을 UIO 코아집합(UIO core set)이라 하고, 선택된 UIO들이 사용하는 에지들의 유한집합을 에지 코아집합(edge core set)이라고 한다. 에지 코아집합의

원소수를 에지코아도(edge core degree)라고 한다. 에지코아도가 최소인 에지 코아집합을 최소 에지 코아집합이라고 하며, 최소 에지 코아집합을 형성한 UIO 코아집합을 최소 UIO 코아집합이라고 한다. 최소 UIO 코아집합의 UIO들은 각 도착점에서 선택하게 될 UIO가 되며 최소 UIO 코아집합의 에지 코아집합에 속한 에지들은 각 도착점의 UIO가 사용하는 모든 에지들이 된다. 최소 UIO코아집합은 각 UIO의 기대신뢰도를 최대한 높이며 동시에 기대검증에지의 수를 최소화시킨 UIO의 조합이다. 최소 UIO 코아집합을 알아내기 위하여 알고리즘1은 각 도착점 $s_i \in S$ 에 대하여 하나의 UIO_{ij} 를 선택하여 조합가능한 모든 UIO 코아집합을 만들고, 각 UIO 코아집합의 에지

a. 최소 에지코아도=MAX_INT; 최소 UIO 코아집합= $\emptyset$;

b. 각 $s_i \in V$ 에 대하여 선택 가능한 UIO_{ij} 에서 하나씩 선택하여 생성 가능한 모든 UIO 코아집합에 대하여 다음을 반복한다.

● 에지 코아집합= $\emptyset$

● UIO 코아집합의 각 UIO_{ij} 의 각 에지 ϵ 에 대하여 다음을 반복한다.

(a) 에지 ϵ 가 에지 코아집합에 있으면 다음 에지를 확인하고 없으면 에지 ϵ 를 에지 코아집합에 넣는다.

● 에지 코아집합의 에지코아도가 현재까지의 최소 에지코아도보다 작으면 다음을 실행한다.

(a) 최소 에지코아도를 에지 코아집합의 에지코아도로 치환한다.

(b) 최소 UIO 코아집합을 현재 검사중인 UIO 코아집합으로 치환한다.

[알고리즘 1] 최소 UIO 코아집합 구하기

a. 기대면역성=0; 검증 에지 집합= $\emptyset$;

b. 최소 UIO 코아집합의 각 UIO의 에지들의 사용빈도수를 조사한다.

c. 최소 UIO 코아집합의 에지 코아집합에 속한 UIO_{ij} 의 모든 에지들에 대해서 다음을 반복한다.

● 검증에지 집합에 속하지 않은 에지들 중 사용빈도수가 가장 높은 에지 ϵ 를 선택한다.

● 선택된 에지 ϵ 의 부분시험열 $SP(HEAD(\epsilon)) @ a_i/o @ UIO(TAIL(\epsilon))$ 를 생성한다.

● 생성된 부분시험열의 도착점 확인을 위한 $UIO(TAIL(\epsilon))$ 의 기대신뢰도를 계산하여 기대면역성에 합산한다.

● 선택된 에지 ϵ 를 검증에지 집합에 넣는다.

d. 시험하지 않은 나머지 에지들에 대한 부분시험열을 생성하여 순서에 상관없이 덧붙인다.

[알고리즘 2] 시험순서 결정

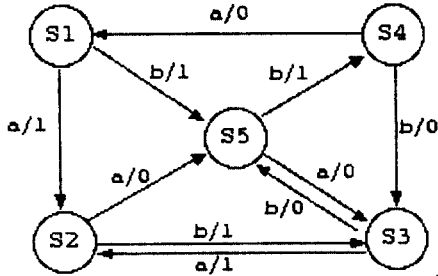


그림 2 간단한 FSM의 예

코아집합을 알아낸다. $UIO_i = \{UIO_j | UIO_j \text{ is } j\text{th UIO of } s_i\}$ 는 도착점 s_i 의 선택 가능한 최소길이의 UIO들을 원소로 가지는 유한집합이다. 알고리즘1은 각 도착점의 선택가능한 UIO가 평균 $|M|$ 개 이고 시험대상 에지의 수가 M 일 때, 복잡도는 $O(|M|^M)$ 이다. 알고리즘2는 기대면역성의 최대값에 근사접근(greedy approximate) 할 수 있도록 시험순서를 결정하는 방법을 제시한다. 최소 에지 코아집합에 속한 에지들은 기대검증에지가 되어야 하므로 시험순서에 있어서 우선권을 가진다. 알고리즘2에서 최소 에지 코아집합에 속한 에지들은 최소 UIO 코아집합의 UIO들에 의해 사용되는 사용빈도수에 의해서 다시 그 우선순위가 결정된다. 알고리즘2는 시험대상 에지의 수가 M 일 때, 복잡도가 $O(M)$ 이다. 따라서, 알고리즘1, 2의 전체 복잡도는 $O(|M|^M)$ 이 된다.

VI. 선행검증 시험열 성능평가

프로토콜 표준이 [그림2]의 FSM으로 주어졌을 때, 선행검증 시험열의 생성과정과 성능을 알고리즘1, 2를 통해 살펴보자. [그림2]의 FSM에서 각 에지들의 도착점은 모두 5개이며, 이들 도착점에서 선택가능한 UIO들은 [표1]과 같다. 또한, 알고리즘1을 통해 구한 최소 에지코아도 5를 갖는 5개의 최소 UIO 코아집합은 [표2]와 같다. 이들의 최소 에지 코아집합은 모두 5개의 에지들만으로 구성되며 이 에지들은 시험순서에서 우선권을 가져 기대검증에지가 된다. [표2]의 첫 번째 최소 UIO 코아집합에 대하여 [표3]은 최소 에지 코아집합의 에지들의 사용빈도수를 보여주고 있으며 [표4]는 에지들의 시험순서를 결정한 결과이다.

표 1 각 도착점의 선택가능한 UIO들

도착점	선택가능한 UIO들
s1	UIO11= b/1 a/0 b/0 s1→ s5→ s3→ s5
	UIO12= b/1 b/1 a/0 s1→ s5→ s4→ s1
	UIO13= b/1 b/1 b/0 s1→ s5→ s4→ s3
s2	UIO21= a/0 a/0 a/1 s2→ s5→ s3→ s2
	UIO22= a/0 a/0 b/0 s2→ s5→ s3→ s5
	UIO23= a/0 b/1 b/0 s2→ s5→ s4→ s3
	UIO24= b/1 a/1 a/0 s2→ s3→ s2→ s5
	UIO25= b/1 a/1 b/1 s2→ s3→ s2→ s3
	UIO26= b/1 b/0 a/0 s2→ s3→ s5→ s3
	UIO27= b/1 b/0 b/1 s2→ s3→ s5→ s4
s3	UIO31= b/0 a/0 a/1 s3→ s5→ s3→ s2
	UIO32= b/0 a/0 b/0 s3→ s5→ s3→ s5
	UIO33= b/0 b/1 a/0 s3→ s5→ s4→ s1
	UIO34= b/0 b/1 b/0 s3→ s5→ s4→ s3
s4	UIO41= a/0 b/1 b/1 s4→ s1→ s5→ s4
	UIO42= b/0 a/1 a/0 s4→ s3→ s2→ s5
	UIO43= b/0 a/1 b/1 s4→ s3→ s2→ s3
	UIO44= b/0 b/0 a/0 s4→ s3→ s5→ s3
	UIO45= b/0 b/0 b/1 s4→ s3→ s5→ s4
s5	UIO51= a/0 b/0 a/0 s5→ s3→ s5→ s3
	UIO52= a/0 b/0 b/1 s5→ s3→ s5→ s4
	UIO53= b/0 a/0 b/1 s5→ s4→ s1→ s5
	UIO54= b/0 b/0 a/1 s5→ s4→ s3→ s2
	UIO55= b/0 b/0 b/0 s5→ s4→ s3→ s5

표2 최소 UIO 코아집합

UIO코아집합	에지코아집합	에지코아도
UIO11, UIO22, UIO32, UIO44, UIO51	{1,5} {5,3} {3,5} {2,5} {4,3}	5
UIO11, UIO26, UIO32, UIO44, UIO51	{1,5} {5,3} {3,5} {2,3} {4,3}	5
UIO12, UIO27, UIO33, UIO41, UIO53	{1,5} {5,4} {4,1} {2,3} {3,5}	5
UIO13, UIO23, UIO34, UIO45, UIO55	{1,5} {5,4} {4,3} {2,5} {3,5}	5
UIO13, UIO27, UIO34, UIO45, UIO55	{1,5} {5,4} {4,3} {2,3} {3,5}	5

표3 에지의 사용빈도수

에지	{1,2}	{1,5}	{2,5}	{2,3}	{3,5}
사용빈도수	0	1	2	0	13
에지	{3,2}	{4,1}	{4,3}	{5,3}	{5,4}
사용빈도수	0	0	1	13	0

[표3]에서 가장 큰 사용빈도수를 가지는 에지는 {3, 5}와 {5, 3} 두개가 있다. 이런 경우, 둘 중 임의의 것을 선택한다. 특히 UIO의 기대신뢰도가 1 미만인 에지 {3, 5}와 {5, 3}은 이후의 UIO들이 집중적으로 사용하는 기대검증에지이므로 이들의 정상여부는 UIO

표 4. 에지의 시험순서와 시험열의 면역성

시험 순서	에지	UIO의 기대신뢰도	시험열의 면역성
1	{3,5}	0.0	0.000000
2	{5,3}	0.666667	0.666667
3	{2,5}	1.0	1.666667
4	{1,5}	1.0	2.666667
5	{4,3}	1.0	3.666667
6	{1,2}	1.0	4.666667
7	{2,3}	1.0	5.666667
8	{3,2}	1.0	6.666667
9	{4,1}	1.0	7.666667
10	{5,4}	1.0	8.666667

표 5. 구현물이 가진 오류사항

에지	표준	구현물	오류사항
{2,5}	(s2,s5;a/0)	(s2,s2;a/0)	도착점오류
{4,1}	(s4,s1;a/0)	(s4,s1;a/1)	출력값오류
{4,3}	(s4,s3;b/0)	(s4,s5;b/0)	도착점오류
{5,4}	(s5,s4;b/1)	(s5,s2;b/0)	출력값, 도착점오류

들의 기대신뢰도에 매우 큰 영향을 끼친다. 시험대상 에지의 수가 10개이므로 기대면역성의 최대값은 10이다. 생성된 선행검증 시험열의 기대면역성은 약 8.7이다. 이 값은 생성된 선행검증 시험열의 면역성과 비슷하다. 따라서, 알고리즘1, 2는 최대 기대면역성에 매우 근사한 선행검증 시험열을 생성한다. [그림2]의 표준에 대하여 [표5]와 같은 오류를 가진 구현물의 FSM은 [그림3]과 같다. 이 구현물에 대해서 위에서 생성한 선행검증 시험열을 적용하여 그 성능을 평가해 보면 [표6]과 같은 결과를 얻을 수 있다. 이 결과를 통해서 선행검증시험열의 우수성을 내가지

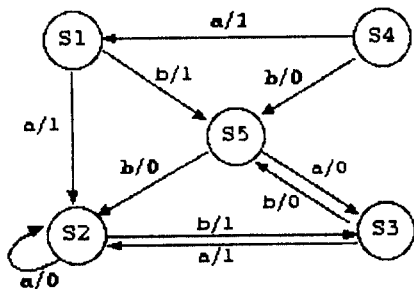


그림 3. 오류를 가진 구현물

표 6. 선행검증 시험열의 적용결과

에지	표준(상)/구현물(하)	오류사항
{3,5}	s3 → s5 a/0 → s3 b/0 → s5 a/0 → s3 s3 → s5 a/0 → s3 b/0 → s5 a/0 → s3	정상
{5,3}	s5 → s3 a/0 → s5 b/0 → s3 a/0 → s5 s5 → s3 a/0 → s5 b/0 → s3 a/0 → s5	정상
{2,5}	s2 → s5 a/0 → s2 b/0 → s5 a/0 → s2 s2 → s5 a/0 → s2 b/1 → s5 a/1 → s2	도착점오류**
{1,5}	s1 → s5 b/1 → s3 a/0 → s5 b/0 → s3 a/0 → s3 s1 → s5 b/1 → s3 a/0 → s5 b/0 → s3 a/0 → s3	정상*
{4,3}	s4 → s3 b/0 → s5 a/0 → s3 b/0 → s5 s4 → s3 b/0 → s5 a/0 → s3 b/1 → s3	도착점오류**
{1,2}	s1 → s2 a/0 → s5 a/0 → s3 b/0 → s5 s1 → s2 a/0 → s5 a/0 → s3 b/1 → s3	도착점오류***
{2,3}	s2 → s3 b/1 → s5 a/0 → s3 b/0 → s5 s2 → s3 b/0 → s5 a/0 → s3 b/0 → s5	정상*
{3,2}	s3 → s2 a/1 → s5 a/0 → s3 b/0 → s5 s3 → s2 a/1 → s5 a/0 → s3 b/1 → s3	도착점오류***
{4,1}	s4 → s1 a/0 → s5 b/1 → s3 a/0 → s5 s4 → s1 a/1 → s5 b/1 → s3 a/0 → s5	출력값오류**
{5,4}	s5 → s4 b/1 → s3 b/0 → s5 a/0 → s3 s5 → s4 b/0 → s3 b/0 → s5 a/0 → s3	출력값오류, 도착점오류****

점에서 평가할 수 있다. 첫 번째, 에지 {1,5}와 {2,3}에 대한 시험은 완전표준성을 만족하는 경우를 잘 보여 준다. 즉, TAIL({2,3})의 UIO가 이미 정상판정된 기대검증에지들로 구성되므로 에지 {2,3}에 대한 정상* 판정은 신뢰할 수 있으며 완전표준성 오류문제를 회피한다. 만일, TAIL({2,3})의 UIO로 UIO33을 사용하였다면 완전표준성 오류문제로 인해 정상인 에지 {2,3}을 비정상이라고 판정하게 된다. 따라서 선행검증 시험열은 기대검증에지가 정상판정된 경우에 있어서는 완전표준성 오류문제에 대한 면역성을 가짐을 알 수 있다. 에지 {1,5} 역시 마찬가지로 설명된다. 두 번째, 에지 {4,1}에 대한 시험 역시 그 기대검증에지가 이미 정상판정 되었으므로 최대신뢰도 1을 가지고 출력값오류** 판정을 신뢰할 수 있다. 또한 에지 {2,5}와 {4,3}의 경우 각 UIO의 기대검증에지 {3,5}와 {5,3}이 모두 정상판정 되었으므로 이 두 에지의 시험은 완전표준성 오류문제에 대한 면역성을

가진다. 따라서 이 두 예지에 대한 도착점오류** 판정은 신뢰할 수 있다. 세번째, 예지 {1, 2}와 {3, 2}는 완전표준성 오류문제로 인해서 도착점오류*** 라는 잘못된 시험결과를 얻는다. 일반적인 시험열에서는 두 예지가 단순히 도착점오류를 가진다고 판정하지만 선행검증 시험열에서는 두 예지에 대한 도착점오류 판정에 대해서 신뢰성을 가질 수 없다고 판단한다. 왜냐하면 두 예지의 UIO가 기대검증예지로서 사용하는 예지 {2, 5}가 이미 도착점오류를 가지고 있다고 판정되었으므로 도착점확인에 대한 신뢰성있는 비교가 이루어질 수 없기 때문이다. 또한, 위의 시험결과로부터 예지 {1, 2}의 UIO는 UIO22인데 이미 검증예지로 판정된 예지 {3, 5}와 {5, 3}을 기대검증예지로 사용하였기 때문에 만일 예지 {2, 5}가 정상이었다면 예지 {1, 2}가 정상으로 판정되었을 것이라는 점을 쉽게 예측할 수 있으며 마찬가지로 예지 {3, 2} 역시 정상이라는 것을 예측할 수 있다. 따라서 예지 {2, 5}를 기대검증예지로 사용하지 않는 UIO25나 UIO26을 사용하여 예지 {1, 2}와 {3, 2}를 재시험함으로써 그 정상여부를 정확히 확인할 수 있다. 이는 선행검증 시험열이 완전표준성 오류문제의 발생을 감지할 수 있는 능력을 가지고 있음을 보여주는 예이다. 네 번째, 예지 {5, 4}의 경우 출력값오류와 도착점오류**** 판정은 신뢰할 수 있다. 도착점오류 판정에 대해서 TAIL({5, 4})의 UIO가 첫번째로 사용하는 기대검증예지는 {4, 3}인데 예지 {4, 3}은 도착점오류만을 가진다고 판정되었다. 따라서 TAIL({5, 4})가 올바른 도착점을 가졌다면 출력값 1을 발생할 수는 없다. 이는 예지 {5, 4}가 도착점오류를 가진다는 것을 높은 신뢰도를 가지고 예측할 수 있게 한다. 이와 같은 분석이 가능한 이유는 선행검증 시험열의 UIO가 앞서 시험된 선행검증예지들로 구성되므로 예지에 대한 시험결과가 선행검증예지들의 시험결과와 종속관계를 가지기 때문이다. 끝으로 위의 간단한 예를 통해서 살펴본 선행검증 시험열은 완전표준성 오류문제에 대한 면역성을 가질 수 있으며 기대검증예지가 비정상판정된 경우 시험결과를 분석함으로써 보다 신뢰성있는 재시험에 대비할 수 있는 장점이 있다.Ⅷ. 결론본 논문에서는 특성화시험열의 새로운 문제제점인 완전표준성 오류문제를 지적하고 있으며 이

를 극복하기 위한 선행검증 시험열 생성방법을 제안하였다. 제안된 선행검증 시험열은 최소길이 UIO대신 확장된 UIO를 사용함으로써 오류저항성을 지닐 수 있으며 완전표준성 오류문제에 대한 면역성을 가진다는 점에서 우수한 시험능력을 가진다. 또한 시험결과에 대한 분석을 통해 신뢰성있는 재시험에 대비할 수 있다는 장점을 가진다.

본 논문에서 제안된 알고리즘1, 2는 각 도착점마다 최소 예지코아도를 형성하는 UIO를 가지고 각 UIO가 최대 기대신뢰도를 가지도록 시험순서를 결정하므로 최대 기대면역성에 근사한 면역성을 가진 선행검증 시험열을 생성한다는 점에서 우수하다. 그러나 알고리즘1, 2는 FSM의 정점의 수가 매우 큰 경우 실용성이 결여된다. 이러한 문제점을 보완하고 실용성을 얻기 위한 방법이 연구될 필요가 있다. 알고리즘 최적화를 위해 고려할 다른 사항으로는 시험순서를 결정하는 과정에서 다중 UIO(multiple UIO)를 사용하여 기대신뢰도를 높이는 방안과 RCPT(rural chinese postman tour)를 적용하여 최적화된 시험순서를 결정하는 알고리즘에 관한 연구가 필요하리라 본다. 또한, 선행검증 시험열의 기본적인 개념을 D방법이나 W방법등에 적용해보는 것도 필요할 것이다.

참 고 문 헌

1. Krishan SABNANI and Anton DAHBURA, "A Protocol Test Generation Procedure", Computer Networks and ISDN Systems, vol. 15, 1988, pp 285-297
2. DEEPINDER P. SIDHU, and TING-KAU LEUNG, "Formal Methods for Protocol Testing: A Detailed Study", IEEE Transactions on Software Engineering., vol. 15, no. 4, APRIL 1989, pp 413-426
3. Alfred V. Aho, Anton T. Dahbura, David Lee and M, Umit Uyar, "An Optimization Technique for Protocol Conformance Test Generation Based on UIO Sequences and Rural Chinese Postman Tours", IEEE Transactions on Comm., vol 39,

- no. 11, Nov, 1991, pp 1604-1615
4. HongSe Son, DaeHun Nyang, JinHo Park, SangYong Lim, ByungMun Jin, JoonWon Lee, and JooSeok Song, "A Test Sequence Generation Scheme satisfying the Completeness Criteria", Pacific Rim Conference on Communications, Computers and Signal Processing, vol 2, 1997, pp 560-563
 5. Kshirasagar Naik, "Fault-tolerant UIO Sequences in Finite State Machines", IWPTS' 95, 1995, pp 207-220
 6. Raymond E. Miller and Sanjoy Paul, "Structural Analysis of Protocol Specifications and Generation of Maximal Fault Coverage Conformance Test Sequence", IEEE ACM Transactions on Networking, vol 2, no. 5, October 1994, pp 457-470
 7. F. Lombardi and Y. -N. Shen, "Evaluation and Improvement of Fault Coverage of Conformance Testing by UIO Sequences", IEEE Transactions on Comm., vol. 40, no. 8, Aug., 1992, pp 1288-1293
 8. Y. -N. Shen, F. Lombardi, and A. T. Dahbura, "Protocol Conformance Testing Using Multiple UIO Sequences", IEEE Transactions on Comm., vol. 40, no. 8, Aug., 1992, pp 1282-1287
 9. Samuel T. Chanson and Jinsong Zhu, "A Unified Approach to Protocol Test Sequence Generation", IEEE INFOCOM '93, vol. 3, 1993, pp 106-114
 10. Raymond E. Miller and Sanjoy Paul, "On the Generation of Minimal-Length Conformance Tests for Communication Protocols", IEEE ACM Transactions on Networking, vol 1, no. 1, February 1993, pp 116-129.



박진호(Jin Ho Park) 정회원
1971년생
1996년 2월 : 연세대학교 컴퓨터
과학과 졸업(공학사)
1996년 3월-현재 : 연세대학교 컴
퓨터과학과 석
사 과정

※주관심분야 : 프로토콜 엔지니어링, ATM Traffic
Management, ATM Routing

양대헌(Dae Hun Nyang) 정회원
1970년생
1994년 2월 : 한국과학기술대학 전기 및 전자공학과
졸업(공학사)
1996년 2월 : 연세대학교 컴퓨터과학과 졸업(이학석사)
1996년 3월-현재 : 연세대학교 컴퓨터과학과 박사과
정 재학중

※주관심분야 : 프로토콜 엔지니어링, Cryptography,
ATM Congestion Control

송주석(Joo Seok Song) 정회원
1976년 2월 : 서울대학교 전기공학과 졸업(공학사)
1979년 2월 : 한국과학원 전기 및 전자공학과 졸업(공
학석사)
1979년 2월-1982년 2월 : 한국전자통신 연구소 전임
연구원
1988년 8월 : Univ. of California at Berkeley 전산과학
과 졸업(박사)
1988년 9월-1989년 2월 : Naval Postgraduate School
Information System Department 조교수
1989년 3월-현재 : 연세대학교 컴퓨터과학과 교수

임상용(Sang Yong Lim) 정회원
1972년생
1992년 3월-1996년 2월 : 연세대학교 컴퓨터과학과
(이학사)
1996년 3월-현재 : 연세대학교 컴퓨터과학과 석사 과정
※주관심분야 : 프로토콜 엔지니어링, 정보보안,
ATM Congestion Control